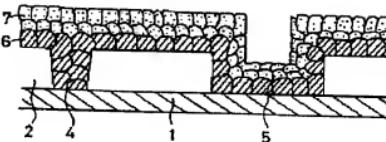


Patent Abstracts of Japan

PUBLICATION NUMBER : JP6029405
PUBLICATION DATE : 04-02-94
APPLICATION NUMBER : JP920207318
APPLICATION DATE : 10-07-92

VOL: 18 NO: 238 (E - 1544)
AB. DATE : 06-05-1994 PAT: A 6029405
PATENTEE : MITSUBISHI ELECTRIC CORP
PATENT DATE:04-02-1994



INVENTOR : MAEKAWA KAZUYOSHI

INT.CL. : H01L21/90; H01L21/28;
H01L21/3205

TITLE : MANUFACTURE OF SEMICONDUCTOR
DEVICE

ABSTRACT : PURPOSE: To fabricate a semiconductor device so that a connecting hole section of the semiconductor device can be buried in an Al metallic film and so that a highly accurate photolithographic overlaying can be realized.
CONSTITUTION: After a high temperature sputtering method or a bia sputtering method at a substrate heating temperature of 400-600 deg.C or at lower than 300 deg.C is applied to Al metal to fabricate an Al metallic film 6 on the surface of the substrate of a semiconductor device including a connecting hole of the semiconductor device, the Al metallic film 6 is heated again at 400-600 deg.C for reflow to form the Al metallic film 6, followed by forming an Al metallic film 7 for the second step at a substrate heating temperature of lower than 200 deg.C. Since the aforementioned processing can make the grain size of the metallic film formed on the upermost layer smaller, the surface homology of the metallic film can be enhanced, light scattering in the alignment mark section can be prevented, and the accuracy of photolithographic overlaying can be enhanced.

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29405

(43) 公開日 平成6年(1994)2月4日

(51) Int.Cl.⁴

H 01 L
21/90
21/28
21/3205

識別記号

序内整理番号
C 7514-4M
301 L 9055-4M

F I

技術表示箇所

7514-4M

H 01 L 21/88

N

審査請求 未請求 請求項の数10(全 7 頁)

(21) 出願番号 待願平4-207318

(22) 出願日 平成4年(1992)7月10日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 前川 和義

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(74) 代理人 井理士 早瀬 審一

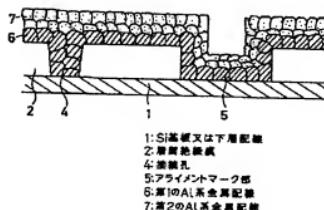
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 半導体装置の接続孔部をA1系金属膜により埋め込み、かつ写真製版時精度の良い重合わせができるようにする。

【構成】 半導体装置の接続孔部を含む基板表面上に、基板加熱400～600℃の高溫スパッタ法又はハイアスパッタ法により、あるいは基板加熱300℃以下にて成膜した後、400～600℃にて加熱してリフローさせることにより、A1系金属膜6を形成した後、第2ステップのA1系金属配線膜7を基板加熱300℃以下にて形成する。

【効果】 最上層の金属膜のグラインを小さくすることにより、表面モロジーを良くし、ライメントマーク部での光の散乱を防止し、写真製版時の重ね合わせ精度を向上する。



【特許請求の範囲】

【請求項1】 金属配線の接続のための接続孔を有する半導体装置を製造する方法において、

第1のA1系金属配線を基板加熱温度400～600°Cでの高温スパッタ法、またはバイアススパッタ法により上記接続孔およびアライメントマーク部を埋め込んで形成する工程と、

その上に第2のA1系金属配線を基板加熱温度室温以上200°C以下にて形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記第1、第2のA1系金属はA1に0.1～10wt%のSi, Cu, Pb, Sc, Ge, Tiを添加した2元系合金、またはこれらの元素を2元素以上各元素につき0.1～10wt%の範囲で添加した多元系合金であることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

上記第1のA1系金属配線を形成する工程を、該第1のA1系金属配線を基板加熱温度室温以上300°C以下にて形成した後、400～600°Cで基板を加熱し該金属配線をリフローすることにより接続孔を埋め込む工程としたことを特徴とする半導体装置の製造方法。

【請求項4】 金属配線の接続のための接続孔を有する半導体装置を製造する方法において、

第1のA1系金属配線を基板加熱温度400～600°Cでの高温スパッタ法、またはバイアススパッタ法により上記接続孔およびアライメントマーク部を埋め込んで形成する工程と、

その上にA1以外の金属膜を基板加熱温度室温以上50°C以下にて形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 金属配線の接続のための接続孔を有する半導体装置を製造する方法において、

第1のA1系金属配線を基板加熱温度400～600°Cでの高温スパッタ法、またはバイアススパッタ法により上記接続孔およびアライメントマーク部を埋め込んで形成する工程と、

その上にA1以外の金属膜を基板加熱温度室温以上50°C以下にて形成する工程と、

その上に第2のA1系金属配線を基板加熱温度室温以上200°C以下にて形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 請求項4または5に記載の半導体装置の製造方法において、

上記A1以外の金属膜はTi, W, Ta, Mo, Ni, Cuあるいはその空化物、酸化物、炭化物、またはケイ化物であることを特徴とする半導体装置の製造方法。

製造方法において、

上記Cu系金属はCuに0.1～10wt%のSi, Cu, Pb, Sc, Ge, Tiを添加した2元系合金、またはこれらの元素を2元素以上各元素につき0.1～10wt%の範囲で添加した多元系合金であることを特徴とする半導体装置の製造方法。

【請求項8】 金属配線の接続のための接続孔を有する半導体装置を製造する方法において、

第1のA1系金属配線を基板加熱温度400～600°Cでの高温スパッタ法、またはバイアススパッタ法により上記接続孔およびアライメントマーク部を埋め込んで形成する工程と、

上記第1のA1系金属配線をエッチバックし、上記接続孔部及びアライメントマーク部のみに上記第1のA1系金属配線を残す工程と、

その上に第2のA1系金属膜を基板加熱温度室温以上300°C以下にて、またはCu系金属膜を基板加熱温度室温以上500°C以下にて形成する工程とを含むことを特徴とする半導体装置の製造方法。

20 【請求項9】 請求項8記載の半導体装置の製造方法において、

上記Cu系金属はCuに0.1～10wt%のSi, Cu, Pb, Sc, Ge, Tiを添加した2元系合金、またはこれらの元素を2元素以上各元素が0.1～10wt%となる範囲で添加した多元系合金であることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1ないし9のいずれかに記載の半導体装置の製造方法により製造されることを特徴とする半導体装置。

30 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置およびその製造方法に関し、特に半導体装置の金属配線用の接続孔の形成時にアライメントずれをおこさずにカバレッジよく接続孔を形成することができる半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 従来のこの種の半導体装置において金属配線の接続のための接続孔を形成する際には、高温スパッタあるいはバイアススパッタ法にて接続孔をカバレッジ良好く埋めこんでいたが、写真製版時のアライメントマークの寸法と同程度までA1のグレインが成長するとの、アライメントずれが大きくなり、かさね合わせのずれが大きくなっていた。

【0003】 従来の半導体装置の製造方法を図によって説明する。図5は從来の半導体装置の接続孔部、及びアライメントマーク部の断面を示す模式図である。同図において、1はS1基板または下層配線を示し、2はこの上に形成された層間絶縁膜、4は上記層間絶縁膜2に沿って

込んで形成されたA1系金属配線、5はアライメントマーク部である。

【0004】次に、従来の半導体装置の製造方法について説明する。接続孔4を有するS1半導体基板1上に、基板加熱を400～600°C程度で行なうながら行う高温スパッタ法、あるいは基板にバイアスをかけながら行うバイアススパッタ法により、A1系金属膜3を接続孔4を埋め込んで形成する。この際、A1系金属膜3はアライメントマーク部5内にも形成されるが、該A1系金属膜3中のA1のグレインは大きくなっている。3～10μm程度の大きさとなっている。

【0005】

【発明が解決しようとする課題】従来の金属配線用の接続孔を有する半導体装置は以上のように製造されており、アライメントマーク部5においてもA1系金属膜3のA1のグレインは大きくなっている。アライメントマーク部5の表面が粗く、アライメントマーク部の境界で光の散乱が起きることによって該領域の位置を確定することができず、かさね合わせのずれが起きるといった問題があった。

【0006】この発明は上記のような問題点を解消するためになされたもので、接続孔部をA1系金属膜にて埋め込めるとともに、アライメントマーク部の境界での光の散乱がなく、精度良くアライメントを行なうことができる半導体装置の製造方法を得ることを目的としており、さらにこの製造方法により得られる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明に係る半導体装置の製造方法は、第1のA1系金属配線を400～600°Cの基板加熱を行なうながら行う高温スパッタ法、またはバイアスをかけながら行うバイアススパッタ法により接続孔およびアライメントマーク部を埋め込んで形成する工程と、その上に第2のA1系金属配線を室温以上200°C以下の温度で形成する工程とを含むものとしたものである。

【0008】また第1のA1系金属配線を400～600°Cの基板加熱を行なうながら行う高温スパッタ法、またはバイアススパッタ法により接続孔およびアライメントマーク部を埋め込んで形成する工程と、その上にA1以外の金属膜を室温以上500°C以下の温度で形成する工程とを含むものとしたものである。

【0009】また第1のA1系金属配線を400～600°Cの基板加熱を行なうながら行う高温スパッタ法、またはバイアススパッタ法により接続孔およびアライメントマーク部を埋め込んで形成する工程と、その上にA1以外の金属膜を室温以上500°C以下の温度で形成する工程と、その上に第2のA1系金属配線を室温以上20

【0010】また第1のA1系金属配線を400～600°Cの基板加熱を行なうながら高溫スパッタ法またはバイアススパッタ法により接続孔およびアライメントマーク部を埋め込んで形成する工程と、上記第1のA1系金属配線をエッチパックし、接続孔部及びアライメントマーク部のみに上記第1のA1系金属配線を残す工程と、その上に第2のA1系金属膜を室温以上300°C以下で、またはCu系金属膜を室温以上500°C以下で形成する工程とを含むものとしたものである。またこの発明にかかる半導体装置は、上記いずれかの製造方法により製造されるものである。

【0011】

【作用】この発明における半導体装置およびその製造方法では、接続孔部を第1のA1系金属膜により埋め込みカバレッジを改善することとも、その上に形成する第2のA1系金属膜またはA1以外の金属膜あるいはCu系金属膜のグレインが小さくなるため該金属膜の表面モロロジーが良く、アライメントマーク部の境界での光の散乱がなくなり、その境界が明確となるため、零誤差版時アライメントズレを防止でき、アライメント精度を大きく向上できる。

【0012】

【実施例】以下、本発明の実施例を図について説明する。

実施例1. 図1はこの発明の一実施例による半導体装置の製造方法を示す。図1において、1はS1基板または下層配線であり、2はこの上に形成された層間絕縁膜、4は上記層間絕縁膜2に設けられた接続孔、5はアライメントマーク部、6は第1ステップにて層間絶縁膜2上に接続孔4及びアライメントマーク部5を埋め込んで形成した第1のA1系金属配線、7はその上に第2ステップにて形成した第2のA1系金属配線である。ここで、上記A1系金属配線6、7としては、A1に0.1～1.0wt%のSi、Cu、Pd、Sc、Ge、Ti等を添加した2元系合金、又はこれらの元素を2元素以上各元素が0.1～1.0wt%となる範囲で添加した多元系合金を用いることができる。また、第1ステップと第2ステップのA1系金属膜6、7の組成は異なっていてよいものである。

40 【0013】に製造方法について説明する。図1において、第1ステップのA1系金属配線6を、400～600°Cの基板加熱を行なうながら行う高温スパッタ法により、A1をスパッタして形成すると、接続孔4およびアライメントマーク部5を埋め込んで上記A1系金属配線6が形成される。このA1系金属配線6の膜厚は層間絶縁膜2上の部分で1000～5000オングストロームが望ましい。次にその上に第2ステップの

0~5000 オングストロームの膜厚に形成すると、該加熱温度が低いことにより、小さいグレインの上記 A1 系金属配線 7 が形成される。これにより層間絶縁膜 2 上で約 5000 オングストローム~1 μm の金属配線を得ることができる。

[0014] このように第1、第2のA1系金属鍛錆膜6、7を2ステップに分けて形成するようになると、先ず第1のステップにおける第1の鍛錆膜6の形成を、400～600°Cでの高温スパックあるいはバイアスバックによっていることから、第1の鍛錆膜6のグラインは大きいが、スパッタされたA1が基板上を移動することによって堆積孔4およびアライメントマーク部5の凹部を埋めこんで、即ちカバレッジ良く、該鍛錆膜6を形成することができる。そして、その上の第2のA1系金属鍛錆膜7はこれまでの成膜の基板加熱温度が200°C以下と低いことによって、該金属膜にはグラインの小さい膜を形成することができる。このため、該金属膜7の表面モロジーは大きめに改善され、図1中の、アライメントマーク部5におけるA1グラインの粗さは少なくなり、アライメントマーク部5での光の散乱がなくなり、その境界が明確になることによって精度良くアライメントを行うことが可能となる。

[0015] 実施例2、なお上記実施例1においては、第1ステップの金属性配賦率6の形成は、400～600°Cの基板加熱をしながらの高純度スパッタ法、又はバイアススパッタ法により行うものとしたが、本実施例2は、この第1ステップの金属性配賦率6の形成を、基板加熱温度室温以上300°C以下で第1のA1系金属配賦率6を成長した後、400～600°Cにて基板を加熱して該金属配賦率をリフローすることにより行うにしたもので、上記300°C以下のスパッタのみではカバレッジ良好な配賦率を形成することはできないが、400～600°Cでのリフローを行うことにより、図1中の接続孔4およびアライメントマーク部5を、カバレッジ良好埋め込む方法をとったものである。ここで、A1系金属配賦率6、7としては、上記実施例1と同様、A1に0.1～10wt%程度のSi、Cu、Pd、Sc、Ge、Ti等を添加した2元系合金、又はこれらとの元素を2元素以上各元素につき0.1～10wt%の範囲で添加した多元系合金を用いることができる。また、第1ステップと第2ステップのA1系金属配賦率6、7の組成は異なっているのである。

[0016] 実施例3、図2は本発明の第3の実施例による半導体装置の製造方法を示す、半導体装置の断面模式図である。図において、図1と同一符号は同一または相当部分を示し、AはA'以外の金属膜である。

〔0017〕上記実験例1では、第1ステップで第1のA1系金属膜6を形成した後、第2ステップでもやはり第2のA1系金属膜7を形成したものであるが、これは相当部分を示し、8はA1系の金属膜である。

に第1のA₁系金属風化を1000～5000オングストロームの膜厚に成績した後、A₁以外の高融点金属₂を基板加熱温度₁以上500℃以下にてスパッタ法により50～1000オングストローム成績し、その後、第2ステップで第2のA₁系金属膜厚₂を、室温以上200℃以下にて同じくスパッタ法により500～5000オングストロームの膜厚層に形成するようにしてよい。これにより層間絕縁膜₂上に約5000オングストローム～1μmの金属配線を得ることができる。ここで、A₁以外の高融点金属は、Ti、W、Ta、Mo、Ni、Cu、あるいはその窒化物、硫化物、炭化物、またはケイ化物を用いることができる。

[0018]このような金属膜6, 7, 8のサンドイッチ構造をとることにより、第1ステップにて成膜した1の上に金属配線膜6の大まかなグラインが、A1以外の高融点金属8により分析され、その上に成膜した2の上に金属配線膜7のグラインは、下層の大きなグライン6に引きずられることがなく、小さなグラインとなり、これにより表面モホロジーが良い状態が得られ、アライメントマーク部5の境界で光の散乱が起こることが少なくなるから、写真製版時のアライメントずれを大きく改善することができる。

〔0019〕実施例4、図3は、本発明の第4の実施例による半導体装置の製造方法を示す、半導体装置の断面模式図である。図において、図1と同一符号は同一または相当部分を示し、9はA1以外の金属膜である。

[0020] 図3に示す本実施例4においては、第1のA1系金属層3を、上記のように4 000～6 000°Cの基板加熱を行なうからの高温スパッタ法、あるいはバイオニアスパッタ法にて5 000以下のオングストロームの膜厚に形成した後、A1以外の金属層9を室温以上5 00°C以下の温度で、5 0～1 000オングストローム程度の膜厚に形成する。これによりやはり層間絶縁膜2上で約5 000オングストローム～1 μmの金属配線を得ることができる。こうした構造とすることにより、最上層の金属層9にA1以外の高融点金属T1、W、Ta、Mo、Ni、Cu、あるいはその変化物、硫化物、炭化物、またはケイ化物等を用いてることによって、金属層9のグリーンは小さくなり、表面モル pho-ジが良い状態が得られ、その結果フライメントマーク部での光の散乱がなくなり、写真版製版時のアライメント精度を防止することができる。A1以外の金属層9の形成温度は該金属層の材料に応じて上記室温以上5 00°C以下の範囲でそのグリーンを小さくできる適宜の温度に設定するがよい。

【0021】実施例5、図4(a)～(c)は本発明の第5の実施例による半導体装置の製造方法を示す断面模式図である。図中、3は第1のA1系金属配線膜、10は該A1金属配線膜3をエッチパックした後残った第1のA

A1系金属配線膜である。

【0022】まず、図4(a)に示すように、接続孔部4、アライメントマーク部5を形成したS1基板1上に、第1のA1系金属配線膜3を、400～600°Cの基板加熱を行なながらの高温スパッタ法、あるいはバイアスパッタ法により、接続孔部4およびアライメントマーク部5を埋め込んで形成する。又は、基板加熱温度室温以上300°C以下でA1系金属膜3を形成した後、400～600°Cの温度にて該A1系金属膜3をリプロ一させる方法によって形成する。

【0023】次に図4(b)に示すように、等方性又は異方性エッチングを行い、接続孔部4、アライメントマーク部5以外の第1のA1系金属膜3をエッチパックすることにより除去し、接続孔部4、アライメントマーク部5のみに第1のA1系金属膜1を残す。

【0024】更に、その上に図4(c)に示すように、第2のA1系金属膜1を基板加熱温度室温以上300°C以下にて5000オングストローム～1μmの厚さに形成する。これによりやはり層間絶縁膜2上で約5000オングストローム～1μmの金属配線を得ることができる。ここで第2のA1系金属膜1のグレインはできるだけ小さくしたいものであるが、本実施例では該第2のA1系金属膜1を積み面をエッチパックにより平坦にしており、上記実施例1のようにグレインの大きい第1のA1系金属膜6の上に直接積む訳ではないので、該金属膜1の形成温度は300°C以下であれば十分に小さいグレインを形成できるものである。

【0025】このようにして第2のA1系金属膜1を形成すると、最上層に形成した第2のA1系金属膜11のグレインは基板加熱温度が低いことによって小さくなり、アライメントマーク部5の境界での光の散乱がなくなることにより写真製版時のアライメントずれを防止することができる。

【0026】実施例6、上記実施例5において、第2のA1系金属膜11に代えて、Cu系金属膜を用いても良く、この場合は基板加熱温度は室温以上500°以下とすればよい。ここで、Cu系金属膜としては上記A1系金属膜11の場合と同じ材料を添加したもの、即ち、Cu 1.0～1.0wt%のSi, Cu, Pb, Sc, Ge, Tiを添加した2元系合金、またはこれらの元素を40

2元素以上各元素が0.1～1.0wt%となる範囲で添加した多元系合金を用いることができる。

【0027】

【発明の効果】以上のようにこの発明によれば、金属配線膜の形成を2ステップ以上に分けて行うことにより、カバレッジの良い配線を形成するとともに、A1系金属膜、又はA1系以外の金属膜等の最上層の金属膜のグレインが小さくなるようにしたので、最上層の金属膜の表面モロコジーが良くなり、アライメント時の大きなグレインによる、アライメントマーク部の境界での光の散乱がなくなり、これにより精度良くアライメントを行うことができ、重ね合せ精度を大きく向上することができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造方法による半導体装置の断面を示す模式図である。

【図2】本発明の第3の実施例の製造方法による半導体装置の断面を示す模式図である。

【図3】本発明の第4の実施例の製造方法による半導体装置の断面を示す模式図である。

【図4】本発明の第5の実施例の製造方法のリフローを示す図で、(a)は第1のA1系金属膜を形成した半導体装置の断面を示す模式図、(b)はエッチパックを行った半導体装置の断面を示す模式図、(c)はエッチパック後第2のA1系金属膜を形成した半導体装置の断面を示す模式図である。

【図5】従来の半導体装置の断面を示す模式図である。

【符号の説明】

1 S1 基板又は下層記録

3D 層間絶縁膜

3 A1系金属配線

4 接続孔

5 アライメントマーク部

6 第1のA1系金属配線

7 第2のA1系金属膜

8 A1以外の金属膜

9 A1以外の金属膜

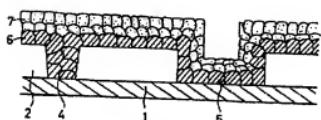
10 エッチパック後残った第1のA1系金属配線膜

11 エッチパック後形成した第2のA1系金属配線膜

(6)

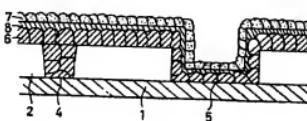
特開平6-29405

【図1】



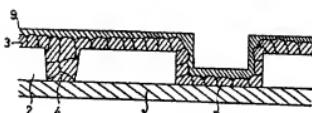
- 1: Si基板又は下層記録
- 2: 上層記録
- 3: 槌突部
- 4: フライメントマーク部
- 5: 第1のAl系金属記録
- 6: 第2のAl系金属記録
- 7: 第3のAl系金属記録

【図2】



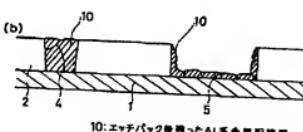
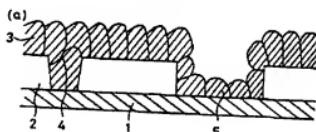
- 8: A以外の金属膜

【図3】

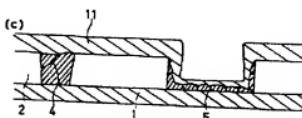


- 9: Al以外の金属膜

【図4】



- 10: エッチパック後残ったAl系金属記録膜



- 11: ッチパック後形成したAl系金属記録膜

(7)

特開平6-29405

【図5】

